

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»



Кафедра ЕОМ

Комп'ютерна логіка схем з пам'яттю

Навчальний посібник

з дисципліни «Комп'ютерна логіка»

Серія «Комп'ютерна інженерія»

Видавництво "Магнолія 2006"

Львів

УДК 004.312.462(075.8)

Рецензенти:

Головний конструктор Державного підприємства

«Львівський державний завод «ЛОРТА»»,

Лауреат Державної премії України

в галузі науки і техніки, д.т.н., професор,

Оліярник Б. О.

Директор Львівського центру

Інституту космічних досліджень

НАН та ДКА України, к.т.н.

Лукенюк А. А.

доц. каф. ЕОМ, к.т.н., доц.

Клушин Ю. С.

Укладач проф. каф. ЕОМ, д.т.н., проф. Глухов В. С.

Рекомендовано Науково-методичною радою

Національного університету «Львівська політехніка»

«Комп'ютерна логіка схем з пам'яттю». Навчальний посібник з дисципліни «Комп'ютерна логіка» / Укл.: В. С. Глухов – Львів: Видавництво «Магнолія 2006» – 344 с.

ISBN 978-617-574-251-8

До навчального посібника увійшли матеріали лекцій з навчальної дисципліни «Комп'ютерна логіка». Матеріали містять теоретичні відомості, приклади розв'язання практичних задач, рисунки, таблиці та стосуються другої частини дисципліни – цифрових схем з пам'яттю.

Навчальний посібник призначений для студентів спеціальності «Комп'ютерна інженерія» галузі знань «Інформаційні технології».

УДК 004.312.462(075.8)

© Глухов В. С.

ISBN 978-617-574-251-8

© Видавництво "Магнолія 2006"

ЗМІСТ

Зміст.....	3
Перелік таблиць.....	12
Вступ.....	14
1 Цифрові автомати.....	20
1.1 Загальні поняття про цифровий автомат і алгоритм.....	20
1.2 Список вимог, на які в компаніях звертається особлива увага при відборі спеціалістів з комп'ютерної інженерії.....	20
1.3 Характеристики алгоритму.....	21
1.4 Властивості алгоритму.....	21
1.5 Універсальні формальні алгоритмічні системи.....	22
1.6 Теза Тюрінга-Черча.....	23
1.7 Представлення алгоритмів.....	24
1.8 Цифрові автомати.....	28
1.9 Абстрактний і структурний автомат.....	29
1.10 Об'єднання цифрових автоматів.....	30
1.11 Загальна структурна схема цифрового автомата.....	33
2 Часові функції алгебри логіки.....	35
2.1 Елемент затримки.....	35
2.2 Дискретний час.....	36
2.3 Часові ФАЛ 1-, 2- та 3-го роду.....	38
3 Тригери.....	41
3.1 Тригер – найпростіший елемент пам'яті.....	41
3.2 Тригер та генератор.....	43
3.3 Класифікація тригерів.....	44
4 Основні асинхронні тригери.....	47
4.1 RS-тригер.....	47
4.2 Синтез схеми RS-тригера.....	48
4.3 Часова діаграма роботи RS-тригера.....	51
4.4 RS –тригер (неRнеS-тригер).....	52
5 Основні синхронні тригери.....	56
5.1 Класифікація синхронних тригерів.....	56
5.2 Синхронний RS-тригер (RSC-тригер).....	57
5.3 D-тригер, що синхронізується тілом синхроімпульсу.....	59
5.4 D-тригер, що синхронізується фронтом синхроімпульсу.....	62
5.5 D-тригер, що синхронізується фронтом синхроімпульсу (схема на трьох RS-тригерах).....	66

5.6 Т-тригер	69
5.7 JK-тригер	71
6 Триттери з розширеними функціональними можливостями.....	74
6.1 Т-тригер з входом дозволу роботи.....	74
6.2 D-тригер з асинхронними входами (R, S) та входом дозволу роботи (CE)	76
6.3 Перетворення тригерів	77
7 Багатотригерні елементи пам'яті.....	79
7.1 Класифікація регістрів.....	79
7.2 Паралельний регістр	81
7.3 Асинхронний лічильник на Т-тригерах.....	82
7.4 Регістр зсуву	85
7.5 Серіалізатор/Десеріалізатор	87
7.6 Регістри з лінійними зворотними зв'язками	88
7.7 Ієрархія пам'яті у комп'ютері.....	92
7.8 Оперативний запам'ятовуючий пристрій.....	93
7.9 Регістровий файл.....	94
7.10 Операційний пристрій = ALU+RG File	95
7.11 Програмовані логічні інтегральні схеми	95
8 Пристрої керування.....	100
8.1 Рекомендована послідовність синтезу цифрових автоматів	100
8.2 Таблиці істинності для комбінаційних схем цифрового автомата... ..	101
8.3 Кодуванням станів автомата.....	101
8.4 Перехід від схеми алгоритму до графа автомата Мура	102
8.5 Перехід від схеми алгоритму до графа автомата Мілі.....	104
8.6 Класифікація цифрових автоматів за елементною базою їх комбінаційної схеми	104
8.7 Класифікація цифрових автоматів за елементною базою їх пам'яті	105
8.8 Сигнали збудження тригерів	105
8.9 Мінімальна кількість зворотних зв'язків в автоматі Мура	106
8.10 Кількість тригерів у пам'яті автомата Мура при унарному кодуванні станів	107
8.11 Мінімальна кількість зворотних зв'язків в автоматі Мілі	108
8.12 Кількість тригерів у пам'яті автомата Мілі при унарному кодуванні станів	109
9 Синтез цифрових автоматів Мура на жорсткій логіці	110

9.1 Автомат Мура на елементах базису Буля і D-тригерах, що синхронізуються фронтом синхроімпульсів (двійкове кодування станів)....	110
9.2 Автомат Мура на елементах монобазису I-НЕ та D-тригерах, що синхронізуються фронтом синхроімпульсів (двійкове кодування станів)....	113
9.3 Автомат Мура на елементах базису Буля і D-тригерах, що синхронізуються фронтом синхроімпульсів (сусіднє кодування станів).....	114
9.4 Автомат Мура на елементах монобазису I-НЕ і D-тригерах, що спрацьовують по фронту (сусіднє кодування станів)	118
9.5 Автомат Мура на елементах базису Буля і D-тригерах, що спрацьовують по фронту синхроімпульсів (унарне кодування станів)	119
9.6 Автомат Мура на елементах монобазису I-НЕ і D-тригерах, що спрацьовують по фронту (унарне кодування станів).....	122
9.7 Автомат Мура на елементах базису Буля і T-тригерах з входом дозволу роботи СЕ (двійкове кодування станів)	124
9.8 Автомат Мура на елементах базису Буля і JK-тригерах (двійкове кодування станів)	125
9.9 Більш складний автомат Мура на елементах базису Буля і D-тригерах, що спрацьовують по фронту (двійкове кодування станів).....	127
10 Синтез цифрових автоматів Мілі на жорсткій логіці	134
10.1 Автомат Мілі на елементах базису Буля і D-тригерах, що спрацьовують по фронту (двійкове кодування станів).....	134
10.2 Автомат Мілі на елементах базису Буля і D-тригерах, що спрацьовують по фронту (сусіднє кодування станів)	137
10.3 Автомат Мілі на елементах базису Буля і D-тригерах, що спрацьовують по фронту (унарне кодування станів).....	140
11 Синтез мікропрограмних цифрових автоматів	144
11.1 Мікропрограмний автомат Мура на D-тригерах, що спрацьовують по фронту	144
11.2 Мікропрограмний автомат Мілі на D-тригерах, що спрацьовують по фронту	146
11.3 Більш складний мікропрограмний автомат Мура на D-тригерах, що спрацьовують по фронту	150
12 Тести та відповіді	155
13 Короткий тлумачевий словник	337
Бібліотечний список.....	341
Додаток А. Грецька абетка.....	343

ПЕРЕЛІК РИСУНКІВ

Рис. І. «Комп'ютерна логіка» і «Комп'ютерна інженерія».....	16
Рис. ІІ. Елементна база «Комп'ютерної інженерії».....	16
Рис. 1.1. Загальна структурна схема комп'ютера	23
Рис. 1.2. Приклад схеми алгоритму.....	25
Рис. 1.3. Приклад опису алгоритму роботи автомата Мура за допомогою графа автомата з позначками у вершинах графа двійкових кодів станів автомата	26
Рис. 1.4. Приклад опису алгоритму роботи автомата Мура функціональною схемою пристрою, який реалізує цей алгоритм.....	27
Рис. 1.5. Приклад опису алгоритму роботи автомата Мура часовою діаграмою	28
Рис. 1.6. Приклад опису алгоритму роботи автомата Мура формальною (з правилами без винятків) мовою VHDL.....	28
Рис. 1.7. Цифровий автомат	29
Рис. 1.8. Об'єднання автоматів	31
Рис. 1.9. Об'єднання автоматів з використанням зворотних зв'язків	32
Рис. 1.10. Приклади цифрових ієрархічних схем.....	32
Рис. 1.11. Загальна структурна схема цифрового автомата.....	33
Рис. 1.12. Структурна схема автомата Мура	34
Рис. 1.13. Структурна схема автомата Мілі.....	34
Рис. 2.1. Умовне графічне позначення (графічний символ) елемента затримки	35
Рис. 2.2. Часова діаграма роботи елемента затримки.....	36
Рис. 2.3. Символи елементів затримки з різними та однаковими затримками фронтів	36
Рис. 2.4. Цифровий комп'ютер в аналоговому світі.....	37
Рис. 2.5. Аналоговий сигнал.....	37
Рис. 2.6. Дискретний сигнал - дискретний у часі та дискретний (квантований) за рівнем	37
Рис. 2.7. Синхроімпульси: а – синхронізація фронтом зростання, б – синхронізація фронтом спадання, в – синхронізація двома фронтами	38
Рис. 2.8. Часові ФАЛ 1-, 2- та 3-го роду	39
Рис. 2.9. Змія, що кусає себе за хвіст – Уроборос (філ.)	40
Рис. 3.1. А trigger - спусковий гачок (у пістолета), заскочка на дверях або шльопанці.....	41
Рис. 3.2. Загальна схема тригера та його графічний символ	42
Рис. 3.3. Графічні символи деяких тригерів (а – RS-тригер, б – синхронний RS-тригер, в – D-Тригер, що синхронізується фронтом синхроімпульсів, flip-flop, г – JK-тригер, д – Т-тригер, е – JK-тригер з асинхронними входами R та S)	44

Рис. 3.4. Графічні символи деяких тригерів (перші літери назви конкретного тригера наведено над його символом, наприклад, а – RS-тригер)	44
Рис. 3.5. Графічні символи деяких генераторів (зліва-направо генератор синусоїдальних коливань, генератор прямокутних імпульсів, генератор трикутних імпульсів)	44
Рис. 3.6. Класифікація тригерів	45
Рис. 4.1. RS-тригер: а – графічний символ, б - граф автомата RS-тригера.	48
Рис. 4.2. Схема RS-тригера на елементах монобазису АБО-НЕ	49
Рис. 4.3. Мінімізація ФАЛ Q_t	49
Рис. 4.4. Схема ФАЛ Q_t на елементах базису Буля	49
Рис. 4.5. Схема ФАЛ Q_t на елементах монобазису АБО-НЕ	50
Рис. 4.6. Схема ФАЛ Q_t на одноманітних елементах монобазису АБО-НЕ	50
Рис. 4.7. Схема RS-тригера на одноманітних елементах монобазису АБО-НЕ	50
Рис. 4.8. Класична схема RS-тригера на елементах монобазису АБО-НЕ	50
Рис. 4.9. Часова діаграма роботи RS-тригера	51
Рис. 4.10. RS-тригер: а – графічний символ, б - граф автомата RS-тригера	54
Рис. 4.11. Класична схема RS-тригера на елементах монобазису І-НЕ	54
Рис. 4.12. Часова діаграма роботи RS-тригера	55
Рис. 5.1. Класифікація синхронних тригерів	57
Рис. 5.2. Графічний символ синхронного RS-тригера	57
Рис. 5.3. Граф RSC-тригера	58
Рис. 5.4. Схема RSC-тригера з RS-тригером на елементах АБО-НЕ	58
Рис. 5.5. Схема RSC-тригера з RS-тригером на елементах І-НЕ	59
Рис. 5.6. Графічний символ D-тригера, що синхронізується додатним тілом синхроімпульсу	59
Рис. 5.7. Граф D-тригера	60
Рис. 5.8. Схема D-тригера, що синхронізується додатним тілом синхроімпульсу	61
Рис. 5.9. Спрощена схема D-тригера, що синхронізується додатним тілом синхроімпульсу	61
Рис. 5.10. Схема D-тригера, що синхронізується додатним тілом синхроімпульсу, на основі мультіплексора	61
Рис. 5.11. Часова діаграма роботи D-тригера, що синхронізується додатним тілом синхроімпульсу	62
Рис. 5.12. Графічний символ D-тригера, що синхронізується додатним тілом синхроімпульсу	63
Рис. 5.13. Граф D-тригера	64
Рис. 5.14. Схема D-тригера, що синхронізується фронтом зростання синхроімпульсу (зліва) та його графічний символ (справа)	65

Рис. 5.15. Схема D-тригера, що синхронізується фронтом спадання синхроімпульсу (зліва) та його графічний символ (справа)	65
Рис. 5.16. Часова діаграма роботи D-тригера, що синхронізується фронтом зростання синхроімпульсу.....	66
Рис. 5.17. Карти Карно внутрішніх сигналів керування D-тригера, що синхронізується фронтом	68
Рис. 5.18. Схема на трьох RS-тригерах з елементів монобазису I-HE D-тригера, що синхронізується фронтом (з двома рівноцінними зображеннями елементів монобазису)	68
Рис. 5.19. Схема на трьох RS-тригерах з елементів монобазису I-HE D-тригера, що синхронізується фронтом (з одним зображенням елементів монобазису).....	69
Рис. 5.20. Графічний символ T-тригера	70
Рис. 5.21. Граф T-тригера	70
Рис. 5.22. Функціональна схема T-тригера.....	70
Рис. 5.23. Часова діаграма роботи T-тригера	70
Рис. 5.24. Графічний символ JK -тригера	71
Рис. 5.25. Граф JK-тригера	72
Рис. 5.26. Функціональна схема JK-тригера.....	72
Рис. 5.27. Часова діаграма роботи JK-тригера	73
Рис. 6.1. Графічний символ T-тригера з входом дозволу роботи	74
Рис. 6.2. Граф T-тригера з входом дозволу роботи	75
Рис. 6.3. Функціональна схема T-тригера з входом дозволу роботи	75
Рис. 6.4. Часова діаграма роботи T-тригера з входом дозволу роботи.....	75
Рис. 6.5. D-тригер з додатковими функціональними можливостями	76
Рис. 6.6. Перетворення JK-тригера в простий T-тригер.....	77
Рис. 6.7. Перетворення JK-тригера в D -тригер	77
Рис. 7.1. 4-розрядний паралельний регістр на D-тригерах, що синхронізуються фронтом синхроімпульсу	81
Рис. 7.2. Графічний символ 4-розрядного паралельного регістру на D-тригерах, що синхронізуються фронтом синхроімпульсу, а – з позначенням кожного входу і виходу, б – з груповим позначенням входів та виходів	81
Рис. 7.3. 4-розрядний паралельний регістр на D-тригерах, що синхронізуються тілом синхроімпульсу.....	82
Рис. 7.4. Графічний символ 4-розрядного паралельного регістру на D-тригерах, що синхронізуються тілом синхроімпульсу, а – з позначенням кожного входу і виходу, б – з груповим позначенням входів та виходів	82
Рис. 7.5. 4-розрядний лічильник	83
Рис. 7.6. Граф 4-розрядного лічильника	83
Рис. 7.7. Схема 4-розрядного асинхронного двійкового лічильника на T-тригерах	84

Рис. 7.8. Часова діаграма роботи 4-розрядного лічильника	84
Рис. 7.9. Схема 4-розрядного асинхронного двійкового лічильника на D-тригерах	85
Рис. 7.10. Схема 4-розрядного асинхронного двійкового лічильника на JK-тригерах	85
Рис. 7.11. 4-розрядний регістр зсуву типу SIPO	86
Рис. 7.12. Схема 4-розрядного регістра зсуву на D-тригерах	86
Рис. 7.13. Часова діаграма роботи 4-розрядного регістра зсуву праворуч ..	86
Рис. 7.14. N-розрядний регістр зсуву типу PISO	87
Рис. 7.15. Серіалізатор-десеріалізатор	88
Рис. 7.16. Регістр з лінійними зворотними зв'язками. Форма Галуа	90
Рис. 7.17. Регістр з лінійними зворотними зв'язками. Форма Фібоначчі ...	90
Рис. 7.18. Генератор псевдовипадкових кодів на основі регістра з лінійними зворотними зв'язками. Форма Галуа	91
Рис. 7.19. Генератор псевдовипадкових кодів на основі регістра з лінійними зворотними зв'язками. Форма Фібоначчі	91
Рис. 7.20. Приклад визначення циклічної контрольної суми для $P = x^3 + x + 1$	92
Рис. 7.21. Приклад перевірки циклічної контрольної суми для $P = x^3 + x + 1$	92
Рис. 7.22. Ієрархія пам'яті у комп'ютері	93
Рис. 7.23. Оперативний запам'ятовуючий пристрій	93
Рис. 7.24. Регістровий файл	94
Рис. 7.25. Операційний автомат (операційний пристрій)	95
Рис. 7.26. Програмований логічний блок	96
Рис. 7.27. Функціональна схема програмованого логічного блоку	97
Рис. 7.28. Програмована логічна інтегральна схема	98
Рис. 7.29. Електронний перемикач	99
Рис. 7.30. Топологія кристалу сконфігурованої ПЛІС	99
Рис. 8.1. Схема алгоритму множення (а), змінена схема алгоритму (б) та граф автомата Мура (в)	103
Рис. 8.2. Схема алгоритму множення (а), змінена схема алгоритму (б) та граф автомата Мілі(в)	104
Рис. 8.3. Структурна схема автомата Мура (4 тригера у пам'яті)	107
Рис. 8.4. Структурна схема автомата Мура (10 тригерів у пам'яті)	108
Рис. 8.5. Структурна схема автомата Мілі (4 тригера у пам'яті)	108
Рис. 8.6. Структурна схема автомата Мілі (10 тригерів у пам'яті)	109
Рис. 9.1. Граф автомата Мура та позначки у вершинах графа з двійковим кодуванням станів	110
Рис. 9.2. Карти Карно та ДНФ для автомата Мура з двійковим кодуванням станів	111

Рис. 9.3. Функціональна схема автомата Мура з двійковим кодуванням станів.....	112
Рис. 9.4. Часова діаграма роботи автомата Мура з двійковим кодуванням станів.....	112
Рис. 9.5. Функціональна схема автомата Мура з двійковим кодуванням станів.....	114
Рис. 9.6. Граф автомата Мура із сусіднім кодуванням станів та позначки у вершинах графа з сусіднім кодуванням станів	115
Рис. 9.7. Карті Карно та ДНФ для автомата Мура із сусіднім кодуванням станів.....	116
Рис. 9.8. Функціональна схема автомата Мура із сусіднім кодуванням станів.....	116
Рис. 9.9. Часова діаграма роботи автомата Мура із сусіднім кодуванням станів.....	117
Рис. 9.10. Функціональна схема автомата Мура із сусіднім кодуванням станів.....	119
Рис. 9.11. Граф автомата Мура з унарним кодуванням станів та позначки у вершинах графа	119
Рис. 9.12. Функціональна схема автомата Мура із унарним кодуванням станів.....	121
Рис. 9.13. Часова діаграма роботи автомата Мура із унарним кодуванням станів.....	121
Рис. 9.14. Функціональна схема автомата Мура із унарним кодуванням станів.....	123
Рис. 9.15. Карті Карно та ДНФ для автомата Мура на Т-тригерах.....	125
Рис. 9.16. Функціональна схема автомата Мура на Т-тригерах.....	125
Рис. 9.17. Карті Карно та ДНФ для автомата Мура на JK-тригерах.....	126
Рис. 9.18. Функціональна схема автомата Мура на JK-тригерах.....	127
Рис. 9.19. Заданий граф автомата Мура та позначки у вершинах графа...	128
Рис. 9.20. Карта Карно та ДНФ для сигналу D0	129
Рис. 9.21. Карта Карно та ДНФ для сигналу D1	130
Рис. 9.22. Карта Карно та ДНФ для сигналу D2	130
Рис. 9.23. Карті Карно та ДНФ для сигналів y_2 , y_1 , y_0	130
Рис. 9.24. Функціональна схема автомата Мура з двійковим кодуванням станів.....	131
Рис. 9.25. Часова діаграма роботи автомата Мура з двійковим кодуванням станів.....	132
Рис. 10.1. Граф автомата Мілі та позначки у вершинах графа з двійковим кодуванням станів	134
Рис. 10.2. Карті Карно та ДНФ для автомата Мілі з двійковим кодуванням станів.....	135

Рис. 10.3. Функціональна схема автомата Мілі з двійковим кодуванням станів.....	136
Рис. 10.4. Часова діаграма роботи автомата Мілі з двійковим кодуванням станів.....	136
Рис. 10.5. Граф автомата Мілі та позначки у вершинах графа з сусіднім кодуванням станів	137
Рис. 10.6. Карти Карно та ДНФ для автомата Мілі з сусіднім кодуванням станів.....	138
Рис. 10.7. Функціональна схема автомата Мілі з сусіднім кодуванням станів.....	139
Рис. 10.8. Часова діаграма роботи автомата Мілі з сусіднім кодуванням станів.....	139
Рис. 10.9. Граф автомата Мілі з унарним кодуванням станів.....	141
Рис. 10.10. Функціональна схема автомата Мілі з унарним кодуванням станів.....	142
Рис. 10.11. Часова діаграма роботи автомата Мілі з унарним кодуванням станів.....	142
Рис. 11.1. Структурна схема мікропрограмного автомата.....	144
Рис. 11.2. Функціональна схема мікропрограмного автомата Мура	145
Рис. 11.3. Граф мікропрограмного автомата Мілі та позначки у вершинах графа	147
Рис. 11.4. Функціональна схема мікропрограмного автомата Мілі.....	148
Рис. 11.5. Часова діаграма роботи мікропрограмного автомата Мілі	148
Рис. 11.6. Граф мікропрограмного автомата Мура та позначки у вершинах графа	150
Рис. 11.7. Функціональна схема мікропрограмного автомата Мура	152

ПЕРЕЛІК ТАБЛИЦЬ

Таблиця 1.1. Таблиця переходів автомата Мура.....	27
Таблиця 1.2. Таблиця виходів автомата Мура	27
Таблиця 4.1. Таблиця істинності RS-тригера.....	48
Таблиця 4.2. Перетворена таблиця істинності RS-тригера.....	49
Таблиця 4.3. Таблиця істинності RS –тригера.....	54
Таблиця 5.1. Таблиця істинності синхронного RS–тригера	57
Таблиця 5.2. Таблиця істинності D-тригера, що синхронізується додатним тілом синхроімпульсу	60
Таблиця 5.3. Таблиця істинності D-тригера, що синхронізується фронтом зростання синхроімпульсу.....	63
Таблиця 5.4. Таблиця істинності схеми керування D-тригера, що синхронізується фронтом зростання синхроімпульсу	67
Таблиця 5.5. Таблиця істинності Т-тригера	70
Таблиця 5.6. Таблиця істинності JK-тригера	72
Таблиця 6.1. Таблиця істинності Т-тригера з входом дозволу роботи.....	75
Таблиця 6.2. Таблиця істинності D-тригера з додатковими функціональними можливостями	77
Таблиця 7.1. Таблиця простих поліномів	90
Таблиця 8.1. Двійкове кодування станів цифрового автомата.....	101
Таблиця 8.2. Унарне кодування станів цифрового автомата.....	102
Таблиця 8.3. Сигнали збудження тригерів	106
Таблиця 8.4. Двійкове кодуванням станів автомата.....	106
Таблиця 8.5. Унарне кодуванням станів автомата.....	107
Таблиця 9.1. Таблиця переходів автомата Мура з двійковим кодуванням станів.....	111
Таблиця 9.2. Таблиця виходів автомата Мура з двійковим кодуванням станів.....	111
Таблиця 9.3. Таблиця переходів автомата Мура із сусіднім кодуванням станів.....	115
Таблиця 9.4. Таблиця виходів автомата Мура із сусіднім кодуванням станів	116
Таблиця 9.5. Таблиця переходів автомата Мура із унарним кодуванням станів.....	120
Таблиця 9.6. Таблиця виходів автомата Мура із унарним кодуванням станів	120
Таблиця 9.7. Таблиця переходів автомата Мура на Т-тригерах та сигнали збудження його тригерів.....	124
Таблиця 9.8. Таблиця переходів автомата Мура на JK-тригерах та сигнали збудження його тригерів.....	126

Таблиця 9.9. Таблиця виходів автомата Мура з двійковим кодуванням станів.....	128
Таблиця 9.10. Таблиця переходів автомата Мура з двійковим кодуванням станів.....	129
Таблиця 10.1. Суміщена таблиця переходів і виходів автомата Мілі з двійковим кодуванням станів.....	135
Таблиця 10.2. Суміщена таблиця переходів і виходів автомата Мілі з сусіднім кодуванням станів.....	138
Таблиця 10.3. Суміщена таблиця переходів і виходів автомата Мілі з унарним кодуванням станів	141
Таблиця 11.1. Суміщена таблиця переходів та виходів мікропрограмного автомата Мура і таблиця прошиття ПЗП.....	145
Таблиця 11.2. Суміщена таблиця переходів та виходів мікропрограмного автомата Мілі і таблиця прошиття ПЗП.....	147
Таблиця 11.3. Суміщена таблиця переходів та виходів мікропрограмного автомата Мура і таблиця прошиття ПЗП.....	151

НАВЧАЛЬНЕ ВИДАННЯ

Глухов Валерій Сергійович

Комп'ютерна логіка схем з пам'яттю

Навчальний посібник

з дисципліни «Комп'ютерна логіка» для студентів першого
(бакалаврського) рівня вищої освіти

Серія «Комп'ютерна інженерія»

Формат 70×100 1/16 . Папір офсетний.
Друк цифровий. Умовн. друк. арк. 27,95.
Гарнітура Таймс Нью-Роман.

ПП «Магнолія 2006»
м. Львів-53, 79053, Україна, тел.+380503701957
e-mail: magnol06@ukr.net

Свідоцтво про внесення суб'єкта видавничої справи
до Державного реєстру видавців, виготівників і розповсюджувачів
видавничої продукції:
серія ДК № 2534 від 21.06.2006 року,
видане Державним комітетом інформаційної політики,
телебачення та радіомовлення України

Надруковано у друкарні видавця ФОП Марченко Т. В.